

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-312592

(43) 公開日 平成9年 (1997) 12月2日

(51) Int. Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 1/707			H 0 4 J 13/00	D
H 0 4 L 27/22			H 0 4 L 27/22	Z

審査請求 未請求 請求項の数4 O L (全 20 頁)

(21) 出願番号 特願平8-124564
(22) 出願日 平成8年 (1996) 5月20日

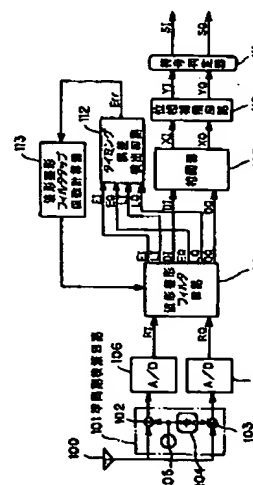
(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 ▲高▼草 木 恵 二
神奈川県横浜市港北区綱島東四丁目3番1号
松下通信工業株式会社内
(74) 代理人 弁理士 蔵合 正博

(54) 【発明の名称】 スペクトル拡散受信機

(57) 【要約】

【課題】 回路規模を増大させることなしに高い通信品質を保つ。

【解決手段】 受信信号のチップ周波数に対して1倍から4倍程度の比較的低い周波数で、受信信号のチップ位相に対して位相が非同期である自走クロックをシステムクロックとして用いる。このとき、AD変換器106、107によるサンプリングタイミングが理想点からずれるが、タップ係数可変波形整形フィルタ回路108を用いてタイミングのずれた受信信号サンプルを補間し、理想タイミングでサンプルした値を近似する。RAKE合成を行う場合には、従来のメインバストラッキング方式や独立トラッキング方式を用いることなしに、全てのパスの信号を最適サンプリングタイミングでサンプルした値を得ることができる。



1

【特許請求の範囲】

【請求項1】 受信したスペクトル拡散信号を、その搬送波周波数にほぼ等しい周波数の局部発振信号を乗算することによりI、Qの2系統のベースバンド信号に変換する準同期検波回路と、前記準同期検波回路の出力信号を、受信スペクトル拡散信号のチップ周波数の数倍にほぼ等しい周波数の固定サンプリングクロックによりサンプリングするアナログ・デジタル変換器と、前記固定サンプリングクロックにより駆動され、前記アナログ・デジタル変換器の出力を波形整形するタップ係数可変型のデジタルFIRフィルタを用いた波形整形フィルタ回路と、前記波形整形フィルタ回路の出力を入力として、受信したスペクトル拡散信号を復調する復調用拡散符号発生器とデジタル乗算器と加算器とから構成される復調用相関器と、前記復調用相関器の出力信号の正負の符号判定を行うために、準同期検波時に発生する位相の誤差を前記復調用相関器の出力信号を観測することにより推定し、前記復調用相関器の出力信号に対してその誤差分を補償する位相補償回路と、前記位相補償回路の出力の正負をI成分とQ成分とで個別に判定する符号判定器と、受信スペクトル拡散信号および復調拡散符号のタイミング誤差を測定するタイミング誤差検出回路と、前記タイミング誤差検出回路から受け取ったタイミング誤差信号をもとに、受信スペクトル拡散信号のエネルギーを最も効率よく獲得するようなタップ係数を計算して、前記タップ係数可変型の波形整形フィルタ回路のタップ係数を更新する波形整形フィルタタップ係数計算器とを備えたスペクトル拡散受信機。

【請求項2】 復調用相関器の後段の位相補償回路を排除するとともに、波形整形フィルタタップ係数計算器とタップ係数可変型波形整形フィルタ回路の代わりに、準同期検波時に発生する復調用相関器出力の位相誤差を推定し、その位相誤差の補償のための信号をタップ係数可変型波形整形フィルタ回路に対して指定するタップ係数に乗算する複素波形整形フィルタタップ係数計算器と、前記複素波形整形フィルタタップ係数計算器から与えられた複素タップ係数により特性が決定される複素タップ係数可変型波形整形フィルタ回路とを備えた請求項1記載のスペクトル拡散受信機。

【請求項3】 受信したスペクトル拡散信号を、その搬送波周波数にほぼ等しい周波数の局部発振信号を乗算することによりI、Qの2系統のベースバンド信号に変換する準同期検波回路と、前記準同期検波回路の出力信号を、受信スペクトル拡散信号のチップ周波数の数倍にほぼ等しい周波数の固定サンプリングクロックによりサンプリングするアナログ・デジタル変換器と、前記固定サンプリングクロックによって駆動され、前記アナログ・デジタル変換器の出力を入力して、復調しようとするパスのタイミング差を予備的に除去する段数可変型のシフトレジスタの組と、前記固定サンプリングクロックに

2

より駆動され、前記シフトレジスタの出力を波形整形するタップ係数可変型のデジタルFIRフィルタを用いた波形整形フィルタ回路と、前記波形整形フィルタ回路の出力を入力として、受信したスペクトル拡散信号を復調する復調用相関器と、前記復調用相関器の出力信号の正負の符号判定を行うために、準同期検波時に発生する位相の誤差を前記復調用相関器の出力信号を観測することにより推定し、前記復調用相関器の出力信号に対してその誤差分を補償する位相補償回路と、RAKE合成すべき全パスの位相補償済み復調用相関器出力をI成分とQ成分とで個別に加算する加算器と、前記加算結果の正負をI成分とQ成分とで個別に判定する符号判定器と、受信スペクトル拡散信号および復調拡散符号のタイミング誤差を測定するタイミング誤差検出回路と、前記タイミング誤差検出回路から受け取ったタイミング誤差信号をもとに、受信スペクトル拡散信号のエネルギーを最も効率よく獲得するようなタップ係数を計算して、前記タップ係数可変型波形整形フィルタ回路のタップ係数を更新する波形整形フィルタタップ係数計算器とを有し、前記シフトレジスタの組と波形整形フィルタ回路と復調用相関器と位相補償回路とタイミング誤差検出回路と波形整形フィルタタップ係数計算器とを、RAKE合成すべきパスの数だけ備えたRAKE機能付きのスペクトル拡散受信機。

【請求項4】 復調用相関器の後段の位相補償回路を排除するとともに、波形整形フィルタタップ係数計算器とタップ係数可変型波形整形フィルタ回路の代わりに、準同期検波時に発生する復調用相関器出力の位相誤差を推定し、その位相誤差の補償のための信号をタップ係数可変型波形整形フィルタ回路に対して指定するタップ係数に乗算する複素波形整形フィルタタップ係数計算器と、前記複素波形整形フィルタタップ係数計算器から与えられた複素タップ係数により特性が決定される複素タップ係数可変型波形整形フィルタ回路とを備えた請求項3記載のスペクトル拡散受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル移動無線通信に使用するスペクトル拡散受信機に関する。

【0002】

【従来の技術】 図18は従来のスペクトル拡散受信機の構成を示している。図18において、1000は受信アンテナ、1001は準同期検波回路である。1002、1003はミキサ、1004は $\pi/2$ 位相器、1005は準同期検波用局部発振器である。ミキサ1002、1003の出力は、それぞれベースバンド信号のI成分とQ成分であり、それぞれ個別のアナログ波形整形フィルタ1006、1007とAD変換器（アナログ・デジタル変換器）1008、1009に通される。AD変換器1008、1009以降の回路は、全てデジタル回

3

路により実現される。1010は相関器であり、受信信号R I、R Qと拡散符号との相関値X I、X Qを計算する。相関器1010の出力X I、X Qは、位相補償回路1011により位相補償されてY I、Y Qとなり、符号判定器1012によりそれぞれ正負を判定され、符号判定出力S I、S Qを得る。1013はタイミング誤差検出回路であり、受信信号R I、R Qと拡散符号との時間差E r rを与える。タイミング誤差検出回路1013の出力E r rは、DA変換器（デジタル・アナログ変換器）1014によりアナログ信号に変換され、電圧制御クロック発振器1015の出力周波数を制御する。電圧クロック発振器1015の出力は、システムクロックφとして、AD変換器1008、1009以降の全てのデジタル回路の動作を司る。

【0003】移動無線通信環境においては、建造物などによる反射によって遅延波が発生し、受信信号はタイミングの異なった複数の信号（パス）の合計となる。図18に示すスペクトル拡散受信機は、これらのパスのうち最も振幅の大きなもの（メインパス：主波）を1本だけを選んで復調するものである。しかし、ここで相関器を複数設ければ、複数本存在するパスを個別に復調することができ、符号判定の前にこれらの復調信号を加算すれば、メインパスのみを用いるよりも信頼度の高い符号判定を行うことができる。以上のような複数のパス信号を加算する手法を、RAKE合成と称している。

【0004】図19は従来のRAKE機能付きスペクトル拡散受信機の構成を示している。図19において、1100は受信アンテナ、1101は準同期検波回路である。1102、1103はミキサ、1104は $\pi/2$ 位相器、1105は準同期検波用局部発振器である。準同期検波用局部発振器1105の発振周波数は、受信信号の搬送波周波数にほぼ等しい。ミキサ1102、1103の出力は、それぞれベースバンド信号のI成分とQ成分であり、それぞれ個別のアナログ波形整形フィルタ1106、1107とAD変換器（アナログ・デジタル変換器）1108、1109に通される。AD変換器1108、1109以降の回路は、全てデジタル回路により実現される。図19においては、3本のパスをRAKE合成する場合の例を示しており、AD変換器1108、1109以降の回路は3系統設けられている。AD変換器1108、1109の出力デジタル信号は、数ビット幅のバスであり、シフトレジスタ1110、1111、1112、1113、1114、1115に通される。これらのシフトレジスタの段数は、自由に代えることができ（0段の場合もある）、これらのシフトレジスタの出力において、全てのパス信号のタイミングがほぼ一致するように調整される。1116、1117、1118は相関器であり、受信信号R I、R Qと拡散符号との相関値X I、X Qを計算する。相関器1116、1117、1118の出力X I、X Qは、位相補償回路

4

1119、1120、1121により位相補償される。位相補償された結果の信号は、加算器1122、1123により加算され、符号判定器1124によりそれぞれ正負を判定され、符号判定出力S I、S Qを得る。1125はタイミング誤差検出回路であり、受信信号R I、R Qと拡散符号との時間差E r rを与える。タイミング誤差検出回路1125の出力E r rは、DA変換器（デジタル・アナログ変換器）1126によりアナログ信号に変換され、電圧制御クロック発振器1127の出力周波数を制御する。電圧制御クロック発振器1127の出力は、システムクロックφとして、AD変換器1108、1109以降の全てのデジタル回路の動作を司る。

【0005】図20は従来のRAKE機能付きスペクトル拡散受信機の別の構成を示している。図20において、1200は受信アンテナ、1201は準同期検波回路である。1202、1203はミキサ、1204は $\pi/2$ 位相器、1205は準同期検波用局部発振器である。準同期検波用局部発振器1205の発振周波数は、受信信号の搬送波周波数にほぼ等しい。ミキサ1202、1203の出力は、それぞれベースバンド信号のI成分とQ成分であり、それぞれ個別のアナログ波形整形フィルタ1206、1207に通される。図20においては、3本のパスをRAKE合成する場合の例を示しており、以降の回路は3系統設けられる。したがって、AD変換器（アナログ・デジタル変換器）は、3パス分（合計6個）設けられる。AD変換器1208、1209、1210、1211、1212、1213の出力デジタル信号は、数ビット幅のバスであり、シフトレジスタ1214、1215、1216、1217、1218、1219に通される。これらのシフトレジスタの段数は、自由に代えることができ（0段の場合もある）、これらのシフトレジスタの出力において、全てのパス信号のタイミングがほぼ一致するように調整される。1220、1221、1222は相関器であり、受信信号R I、R Qと拡散符号との相関値X I、X Qを計算する。相関器1220、1221、1222の出力X I、X Qは、位相補償回路1223、1224、1225により位相補償される。位相補償された結果の信号は、加算器1226、1227により加算され、符号判定器1228によりそれぞれ正負を判定され、符号判定出力S I、S Qを得る。1229、1230、1231はタイミング誤差検出回路であり、受信信号R I、R Qと拡散符号との時間差E r rを与える。タイミング誤差検出回路1229、1230、1231の出力E r rは、DA変換器（デジタル・アナログ変換器）1232、1233、1234によりアナログ信号に変換され、電圧制御クロック発振器1235、1236、1237の出力周波数を制御する。図20が図19の例と異なるのは、復調系のシステムクロックが各パス毎に独立

5

になっていることである。すなわち、電圧制御クロック発振器1235の出力は、システムクロック ϕ 1としてパス1の復調系（AD変換器1208、1209、シフトレジスタ1214、1215、相関器1220）の動作を司り、電圧制御クロック発振器1236の出力は、システムクロック ϕ 2としてパス2の復調系（AD変換器1210、1211、シフトレジスタ1216、1217、相関器1221）の動作を司り、電圧制御クロック発振器1237の出力は、システムクロック ϕ 3としてパス3の復調系（AD変換器1212、1213、シフトレジスタ1218、1219、相関器1222）の動作を司ることである。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来のスペクトル拡散受信機では、スペクトル拡散信号を受信するときに、AD変換器による受信信号のサンプリングタイミングを最適に制御しなければならない。サンプリングタイミングが最適でない場合は、受信信号電力を効率よく利用することができず、通信品質が劣化するという問題がある。

【0007】また、図18に示すスペクトル拡散受信機の場合、復調系デジタル回路のシステムクロックは、アナログ電圧制御クロック発振器1015により発生させ、その発振器1015に制御電圧はDA変換器1014により発生させる必要があるため、このようなアナログ素子を使用すると、動作が不安定になり、装置全体の小型化が困難となり、調整箇所が増えるなどの問題がある。

【0008】また、図19に示すRAKE機能付きスペクトル拡散受信機の場合は、拡散符号の同期追従は、メインパス信号に対してのみ行われ、これをメインパストラッキングと称している。これにより、AD変換器1108、1109のサンプリングタイミングは、メインパス信号の最適サンプリングタイミングと一致するように制御され、メインパスの信号は、最適サンプリングタイミングで取り込むことができる。しかしながら、メインパス以外のパスの信号に対するサンプリングタイミングは、シフトレジスタ1110～1115の段数で制御されるため、メインパス信号の最適サンプリングタイミングからの差をAD変換器1108、1109のサンプリング周期の整数倍にしか設定することができない。ここで、各パスのメインパスの対する遅延時間は、AD変換器1108、1109のサンプリング周期の整数倍になることは希であり、多くの場合メインパス以外のパスの信号を最適サンプリングタイミングで取り込むことはできない。最適サンプリングタイミングにより近いタイミングで取り込むためには、AD変換器1108、1109のサンプリング周波数を高くする必要があり、AD変換器の消費電流が増大するばかりでなく、ハードウェアのコストが増大するといった問題が生じる。

6

【0009】さらに、図20に示すRAKE機能付きスペクトル拡散受信機の場合は、同期追従は全てのパス信号に対して独立に行われ、それぞれのAD変換器1208～1213のサンプリングタイミングは、それぞれのパス信号の最適サンプリングタイミングと一致するように制御され、これを独立トラッキングと称している。これにより、全てのパスの信号を最適なタイミングでサンプリングすることができる。しかしながら、RAKE合成するパスそれぞれに対して、全て独立なシステムクロック発振器（電圧制御クロック発振器1235～1237）とDA変換器1232～1234とを設ける必要があり、ハードウェアの規模が増大するといった問題がある。

【0010】本発明は、このような従来の問題を解決するものであり、ハードウェアの規模を増大させることなく高い通信品質を保つことのできるスペクトル拡散受信機を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、上記目的を達成するために、受信信号のチップ周波数に対して1倍から4倍程度の比較的低い周波数で、受信信号のチップ位相に対して位相が非同期である自走クロックをシステムクロックとして用いる。このとき、AD変換器によるサンプリングタイミングが理想点からずれるが、タップ係数可変型の波形整形フィルタを用いてこのサンプリングタイミングのずれた受信信号サンプルを補間し、理想サンプリングタイミングでサンプルした値を近似する。タップ係数可変型の波形整形フィルタのタップ係数は、受信信号のタイミング誤差検出回路により検出したタイミング誤差から計算する。これにより、AD変換器を含む全てのデジタル回路を動作させるシステムクロックは、受信信号とは非同期の自走クロックで十分となる。このため、電圧制御クロック発振器とその制御電圧を発生するDA変換器が不要となり、装置中のアナログ素子を削減することができる。

【0012】また、上記構成により、RAKE合成を行う際は、メインパストラッキング方式においてAD変換器のサンプリング周波数を高くしたり、独立トラッキング方式において各パス毎に独立のシステムクロックを設けたりすることなしに、全てのパスの信号を最適サンプリングタイミングでサンプルした値を得ることができ、消費電流やハードウェア規模を増大させることなく、高い通信品質を保つことができる。

【0013】

【発明の実施の形態】本発明の請求項1に記載の発明は、受信したスペクトル拡散信号を、その搬送波周波数にほぼ等しい周波数の局部発振信号を乗算することによりI、Qの2系統のベースバンド信号に変換する準同期検波回路と、前記準同期検波回路の出力信号を、受信スペクトル拡散信号のチップ周波数の数倍にほぼ等しい周

波数の固定サンプリングクロックによりサンプリングするアナログ・デジタル変換器と、前記固定サンプリングクロックにより駆動され、前記アナログ・デジタル変換器の出力を波形整形するタップ係数可変型のデジタルFIRフィルタを用いた波形整形フィルタ回路と、前記波形整形フィルタ回路の出力を入力として、受信したスペクトル拡散信号を復調する復調用拡散符号発生器とデジタル乗算器と加算器とから構成される復調用相関器と、前記復調用相関器の出力信号の正負の符号判定を行うために、準同期検波時に発生する位相の誤差を前記復調用相関器の出力信号を観測することにより推定し、前記復調用相関器の出力信号に対してその誤差分を補償する位相補償回路と、前記位相補償回路の出力の正負をI成分とQ成分とで個別に判定する符号判定器と、受信スペクトル拡散信号および復調拡散符号のタイミング誤差を測定するタイミング誤差検出回路と、前記タイミング誤差検出回路から受け取ったタイミング誤差信号をもとに、受信スペクトル拡散信号のエネルギーを最も効率よく獲得するようなタップ係数を計算して、前記タップ係数可変型の波形整形フィルタ回路のタップ係数を更新する波形整形フィルタタップ係数計算器とを備えたスペクトル拡散受信機であり、AD変換器を含む全てのデジタル回路を動作させるシステムクロックが、受信信号とは非同期の自走クロックで十分となるため、電圧制御クロック発振器とその制御電圧を発生するDA変換器が不要となり、装置中のアナログ素子を削減することができる。

【0014】本発明の請求項2に記載の発明は、復調用相関器の後段の位相補償回路を排除するとともに、波形整形フィルタタップ係数計算器とタップ係数可変型波形整形フィルタ回路の代わりに、準同期検波時に発生する復調用相関器出力の位相誤差を推定し、その位相誤差の補償のための信号をタップ係数可変型波形整形フィルタ回路に対して指定するタップ係数に乘算する複素波形整形フィルタタップ係数計算器と、前記複素波形整形フィルタタップ係数計算器から与えられた複素タップ係数により特性が決定される複素タップ係数可変型波形整形フィルタ回路とを備えた請求項1記載のスペクトル拡散受信機であり、請求項1記載の発明の効果に加え、相関器の前で位相補償を行うため、タイミング誤差検出回路において自乗器を用いる必要がなくなり、タイミング誤差検出の特性が良くなる。また、符号判定器の前の位相補償回路が不要となるので、ハードウェア規模を削減することができる。

【0015】本発明の請求項3に記載の発明は、受信したスペクトル拡散信号を、その搬送波周波数にほぼ等しい周波数の局部発振信号を乗算することによりI、Qの2系統のベースバンド信号に変換する準同期検波回路と、前記準同期検波回路の出力信号を、受信スペクトル拡散信号のチップ周波数の数倍にほぼ等しい周波数の固

定サンプリングクロックによりサンプリングするアナログ・デジタル変換器と、前記固定サンプリングクロックによって駆動され、前記アナログ・デジタル変換器の出力を入力して、復調しようとするパスのタイミング差を予備的に除去する段数可変型のシフトレジスタの組と、前記固定サンプリングクロックにより駆動され、前記シフトレジスタの出力を波形整形するタップ係数可変型のデジタルFIRフィルタを用いた波形整形フィルタ回路と、前記波形整形フィルタ回路の出力を入力として、受信したスペクトル拡散信号を復調する復調用相関器と、前記復調用相関器の出力信号の正負の符号判定を行うために、準同期検波時に発生する位相の誤差を前記復調用相関器の出力信号を観測することにより推定し、前記復調用相関器の出力信号に対してその誤差分を補償する位相補償回路と、RAKE合成すべき全パスの位相補償済み復調用相関器出力をI成分とQ成分とで個別に加算する加算器と、前記加算結果の正負をI成分とQ成分とで個別に判定する符号判定器と、受信スペクトル拡散信号および復調拡散符号のタイミング誤差を測定するタイミング誤差検出回路と、前記タイミング誤差検出回路から受け取ったタイミング誤差信号をもとに、受信スペクトル拡散信号のエネルギーを最も効率よく獲得するようなタップ係数を計算して、前記タップ係数可変型波形整形フィルタ回路のタップ係数を更新する波形整形フィルタタップ係数計算器とを有し、前記シフトレジスタの組と波形整形フィルタ回路と復調用相関器と位相補償回路とタイミング誤差検出回路と波形整形フィルタタップ係数計算器とを、RAKE合成すべきパスの数だけ備えたRAKE機能付きのスペクトル拡散受信機であり、AD変換器を含む全てのデジタル回路を動作させるシステムクロックが、受信信号とは非同期の自走クロックで十分となるため、電圧制御クロック発振器とその制御電圧を発生するDA変換器が不要となり、装置中のアナログ素子を削減することができる。また、RAKE合成を行う際は、メインバストラッキング方式においてAD変換器のサンプリング周波数を高くしたり、独立トラッキング方式において各パス毎に独立のシステムクロックを設けたりすることなしに、全てのパスの信号を最適サンプリングタイミングでサンプルした値を得ることができ、消費電流やハードウェア規模を増大させることなく、高い通信品質を保つことができる。

【0016】本発明の請求項4に記載の発明は、復調用相関器の後段の位相補償回路を排除するとともに、波形整形フィルタタップ係数計算器とタップ係数可変型波形整形フィルタ回路の代わりに、準同期検波時に発生する復調用相関器出力の位相誤差を推定し、その位相誤差の補償のための信号をタップ係数可変型波形整形フィルタ回路に対して指定するタップ係数に乘算する複素波形整形フィルタタップ係数計算器と、前記複素波形整形フィルタタップ係数計算器から与えられた複素タップ係数に

より特性が決定される複素タップ係数可変型波形整形フィルタ回路とを備えた請求項3記載のスペクトル拡散受信機であり、請求項3記載の発明の効果に加え、相関器の前で位相補償を行うため、タイミング誤差検出回路において自乗器を用いる必要がなくなり、タイミング誤差検出の特性が良くなる。また、符号判定器の前の位相補償回路が不要となるので、ハードウェア規模を削減することができる。

【0017】（実施の形態1）以下、本発明の実施の形態を図面を参照して説明する。図1は本発明の請求項1に対応する第1の実施の形態におけるスペクトル拡散受信機の構成を示すものである。図1において、100は受信アンテナ、101は準同期検波回路である。102、103はミキサ、104は $\pi/2$ 位相器、105は準同期検波用局部発振器である。ミキサ102、103の出力は、それぞれベースバンド信号のI成分とQ成分であり、それぞれ個別のAD変換器（アナログ・デジタル変換器）106、107に接続されている。AD変換器106、107以降の回路は、全てデジタル回路により実現される。AD変換器106、107の出力デジタル信号は、数ビットのバスであり、波形整形フィルタ回路108に入力される。波形整形フィルタ回路108の出力DI、DQは、相関器109に入力され、相関器109の出力XI、XQは、位相補償回路110に入力され、位相補償回路110の出力YI、YQは、符号判定器111に入力される。また、波形整形フィルタ回路108の出力EI、LI、EQ、LQは、タイミング誤差検出回路112に入力され、タイミング誤差検出回路112の出力Errは、波形整形フィルタタップ係数計算器113に入力され、波形整形フィルタタップ係数計算器113からは、波形整形フィルタ回路108へタップ係数の設定情報が与えられる。

【0018】ここで、波形整形フィルタ回路108は、図2、図3、図4のいずれの構成でもよい。また、波形整形フィルタ回路108は、図5に示すようなFIR型デジタルフィルタであってもよい。図5において、215はレジスタであり、複数個組み合わされて、タップ数と同じ段数のシフトレジスタを構成する。216はデジタル乗算器であり、タップ数と同数存在し、外部から与えられるタップ係数と各レジスタ215の値との乗算結果を出力する。217は加算器であり、全てのデジタル乗算器216の出力を加算し、フィルタの出力値とする。また、タイミング誤差検出回路112の構成を図6に示し、相関器109の構成を図7に示す。

【0019】次に、本実施の形態1における動作について説明する。まず、受信アンテナ100から受信された信号は、ミキサ102、103、 $\pi/2$ 位相器104、準同期検波用局部発振器105から構成される準同期検波回路101により準同期検波され、ベースバンド信号のI成分とQ成分となり、それぞれ個別のAD変換器1

06、107によってサンプリングされ、デジタルデータRI、RQに変換される。ここで、このAD変換器106、107以降の回路は、全て受信信号のチップ周波数に対して1倍から4倍程度の周波数で、受信信号のチップ位相に対して位相が非同期である自走クロックに従って動作する。このため、AD変換器106、107の入力データは、図9（f）に示すように、理想的なタイミング図9（d）からずれてサンプリングされ、RI、RQとなる。波形整形フィルタ回路108中の復調用のタップ係数可変型波形整形フィルタのタップ係数は、図9（g）に示すように、サンプリングタイミングがずれた信号RI、RQが入力されたときに最も大きな出力を得るように設定されている。このタイミング誤差は、後述するタイミング誤差検出回路112によって計算される。

【0020】波形整形フィルタ回路108の出力は、相関器109の内部において拡散符号と乗算されて1シンボル周期積分され、相関器出力XI、XQとなる。位相補償回路110は、相関器出力XI、XQの準同期検波による位相誤差を検出し、その検出した位相誤差を打ち消すような位相補償演算をXI、XQに施し、出力YI、YQを与える。符号判定器111は、入力YI、YQそれぞれの正負を判別し、符号判定出力SI、SQを与える。ここで、XI、XQ、YI、YQ、SI、SQは、1シンボルに1サンプルの信号である。

【0021】次に、図6および図7を参照しながらタイミング誤差検出回路112の動作について説明する。タイミング誤差検出回路112中のEarly拡散符号発生器302およびLate拡散符号発生器307は、復調用の相関器109中の拡散符号発生器401が発生するものと同一の拡散符号を発生する。波形整形フィルタ回路108に図2の構成を用いる場合には、Early拡散符号発生器302が発生する拡散符号のタイミングは、復調用の相関器109中の拡散符号発生器401が発生する拡散符号のタイミングよりもある一定の時間 δ だけ早くし、Late拡散符号発生器307が発生する拡散符号のタイミングは、復調用の相関器109中の拡散符号発生器401が発生する拡散符号のタイミングよりもある一定の時間 δ だけ遅くする。波形整形フィルタ回路108に図3または図4の構成を用いる場合には、Early拡散符号発生器302およびLate拡散符号発生器307が発生する拡散符号のタイミングは、復調用の相関器109中の拡散符号発生器401が発生する拡散符号のタイミングと同一にする。

【0022】以上のように設定することにより、AD変換器106、107のサンプリングタイミングが理想サンプリングタイミングより遅い場合は、Early枝相関器300の出力の振幅が大きくなり、AD変換器106、107のサンプリングタイミングが理想サンプリングタイミングより早い場合は、Late枝相関器301の出力の

振幅が大きくなる。次に、Early枝相関器300およびLate枝相関器301の出力の電力をEarly枝電力測定器312およびLate枝電力測定器313によって計算し、減算器321によって差をとり、タイミング誤差検出回路112の出力Errを得る。以上のような構成により、AD変換器106、107のサンプリングタイミングが理想サンプリングより遅い場合は、Errが負の値をとり、AD変換器106、107のサンプリングタイミングが理想サンプリングより早い場合は、Errが正の値をとる。

【0023】次に、波形整形フィルタ回路108における波形整形フィルタのタップ係数の設定方法について説明する。準同期検波されてベースバンド信号に変換された受信信号は、図8(a)に示すルートナイキスト単一パルスを図8(b)のようにチップ周期Tcの間隔で並べて加算して生成した図8(c)のようなものとなる。この受信信号がAD変換器106、107によって図9(d)のようなタイミング(このサンプリングタイミングが理想である。)でサンプリングされた場合、この受信信号を最も効率よくデジタル回路に取り込むためには、図9(e)のようなタップ係数列を持つ波形整形フィルタを通すことが必要となる。また、受信信号が図9(f)のように理想的なタイミングからdだけずれたタイミングでサンプリングされた場合、この受信信号を最も効率よくデジタル回路に取り込むためには、図9(g)のようなタップ係数列を持つ波形整形フィルタを通すことが必要となる。タイミング誤差dは、上記のタイミング誤差検出回路112によって計算され、誤差信号Errの形で波形整形フィルタタップ係数計算器113に与えられる。波形整形フィルタタップ係数計算器113は、誤差信号Errをもとに計算したタップ係数を波形整形フィルタ回路108へ与える。

【0024】ここで、波形整形フィルタ回路108に図2または図3の構成をとるときには、波形整形フィルタ回路108内の全てのタップ係数可変波形整形フィルタに同じタップ係数が与えられる。波形整形フィルタ回路108が図4の構成をとるときには、波形整形フィルタ回路108内の全てのタップ係数可変波形整形フィルタのうち、EI、EQ用フィルタ209、212には、DI、DQ用フィルタ211、214に与えるタップ係数よりもδだけ早い形のタップ係数を与え、LI、LQ用フィルタ210、213には、DI、DQ用フィルタ211、214に与えるタップ係数よりもδだけ遅い形のタップ係数を与える。

【0025】このように、上記実施の形態1によれば、AD変換器を含む全てのデジタル回路を動作させるシステムクロックが、受信信号とは非同期の自走クロックで十分となり、電圧制御クロック発振器とそれの制御電圧を発生するDA変換器が不要となるため、装置中のアナログ素子を削減することができる。

【0026】(実施の形態2)図10は本発明の請求項2に対応する第2の実施の形態におけるスペクトル拡散受信機の構成を示すものである。図10において、500は受信アンテナ、501は準同期検波回路である。502、503はミキサ、504は $\pi/2$ 位相器、505は準同期検波用局部発振器である。ミキサ502、503の出力は、それぞれベースバンド信号のI成分とQ成分であり、それぞれ個別のAD変換器(アナログ・デジタル変換器)506、507に接続されている。AD変換器506、507以降の回路は、全てデジタル回路により実現される。AD変換器506、507の出力デジタル信号は、数ビットのバスであり、複素波形整形フィルタ回路508に入力される。複素波形整形フィルタ回路508の出力DI、DQは、相関器509に入力され、相関器509の出力XI、XQは、符号判定器511および複素波形整形フィルタタップ係数計算器512に入力される。また、符号判定器511の出力SI、SQは、コヒーレント型タイミング誤差検出回路510に入力される。複素波形整形フィルタ回路508の出力EI、EQは、コヒーレント型タイミング誤差検出回路510に入力され、コヒーレント型タイミング誤差検出回路510の出力Errは、複素波形整形フィルタタップ係数計算器512に入力され、複素波形整形フィルタタップ係数計算器512からは、複素波形整形フィルタ回路508へタップ係数の設定情報が与えられる。

【0027】ここで、複素波形整形フィルタ回路508は、図11、図12、図13のいずれの構成でもよい。また、複素波形整形フィルタ回路508は、図14に示すようなFIR型デジタルフィルタであってもよい。図14において、610は2列レジスタであり、複数個組み合わせられて、タップ数と同じ段数の2並列シフトレジスタを構成する。611は複素デジタル乗算器であり、タップ数と同数存在し、外部から与えられる複素タップ係数と各2列レジスタ610の値との乗算結果を出力する。612は加算器であり、全ての複素デジタル乗算器611の出力を加算し、フィルタの出力値とする。また、コヒーレント型タイミング誤差検出回路510の構成を図15に示す。相関器509の構成は図7に示すものと同じである。

【0028】次に、本実施の形態2における動作について説明する。まず、受信アンテナ500から受信された信号は、ミキサ502、503、 $\pi/2$ 位相器504、準同期検波用局部発振器505から構成される準同期検波回路501により準同期検波され、ベースバンド信号のI成分とQ成分となり、それぞれ個別のAD変換器506、507によってサンプリングされ、デジタルデータRI、RQに変換される。ここで、このAD変換器506、507以降の回路は、全て受信信号のチップ周波数に対して1倍から4倍程度の周波数で、受信信号のチップ位相に対して位相が非同期である自走クロックに

13

従って動作する。このため、AD変換器506、507の入力データは、図9(f)に示すように、理想的なタイミングからずれてサンプリングされ、RI、RQとなる。複素複素波形整形フィルタ回路508中の復調用のタップ係数可変複素波形整形フィルタのタップ係数は、図9(g)に示すように、ダンプリングタイミングがずれた信号RI、RQが入力されたときに最も大きな出力を得るように設定されている。このタイミング誤差は、後述するコヒーレント型タイミング誤差検出回路510によって計算される。

【0029】複素波形整形フィルタ回路108の出力は、相関器509の内部において拡散符号と乗算されて1シンボル周期積分され、相関器出力XI、XQとなる。符号判定器511は、入力XI、XQそれぞれの正負を判別し、符号判定出力SI、SQを与える。ここで、XI、XQ、SI、SQは、1シンボルに1サンプルの信号である。

【0030】次に、コヒーレント型タイミング誤差検出回路510の動作について説明する。図15はコヒーレント型タイミング誤差検出回路510の構成を示している。コヒーレント型タイミング誤差検出回路510中のEarly拡散符号発生器702およびLate拡散符号発生器707は、復調用の相関器509中の拡散符号発生器401が発生するものと同一の拡散符号を発生する。複素波形整形フィルタ回路508に図11の構成を用いる場合には、Early拡散符号発生器702が発生する拡散符号のタイミングは、復調用の相関器509中の拡散符号発生器401が発生する拡散符号のタイミングよりもある一定の時間 δ だけ早くし、Late拡散符号発生器707が発生する拡散符号のタイミングは、復調用の相関器509中の拡散符号発生器401が発生する拡散符号のタイミングよりもある一定の時間 δ だけ遅くする。複素波形整形フィルタ回路508に図12または図13の構成を用いる場合には、Early拡散符号発生器702およびLate拡散符号発生器707が発生する拡散符号のタイミングは、復調用の相関器509中の拡散符号発生器401が発生する拡散符号のタイミングと同一にする。

【0031】以上のように設定することにより、AD変換器506、507のサンプリングタイミングが理想サンプリングタイミングより遅い場合は、Early枝相関器700の出力の振幅が大きくなり、AD変換器506、507のサンプリングタイミングが理想サンプリングタイミングより早い場合は、Late枝相関器701の出力の振幅が大きくなる。次に、Early枝相関器700およびLate枝相関器701の出力の電力をEarly枝電力測定器712およびLate枝電力測定器713によって計算し、減算器721によって差をとり、コヒーレント型タイミング誤差検出回路510の出力Errを得る。

【0032】実施の形態1に示したタイミング誤差検出回路112中のEarly枝電力測定器312およびLate枝

14

電力測定器313は、電力測定のために入力信号の位相を一定方向にまとめる手段として自乗器を用いているが、自乗操作は信号対雑音比を悪くしてしまうので、タイミング誤差検出回路112の性能は比較的良好でない。これに対し、コヒーレント型タイミング誤差検出回路510中のEarly枝電力測定器712およびLate枝電力測定器713は、自乗器の代わりに符号判定出力との乗算を行うための乗算器714、715、718、719を備えている。複素波形整形フィルタ回路508の出力EI、LI、EQ、LQは、すでに位相補償が施されており、さらに符号判定器511の出力を乗算することにより、Early枝電力測定器712およびLate枝電力測定器713の出力信号の位相を一定方向に揃えることができる。また、自乗操作を用いていないので、信号対雑音比の劣化がなく、良好な特性を持つ。以上のような構成により、AD変換器506、507のサンプリングタイミングが理想サンプリングより遅い場合は、Errが負の値をとり、AD変換器506、507のサンプリングタイミングが理想サンプリングより早い場合は、Errが正の値をとる。

【0033】次に、複素波形整形フィルタ回路508における複素波形整形フィルタのタップ係数の設定方法について説明する。準同期検波されてベースバンド信号に変換された受信信号は、図8(a)に示すルートナイキスト単一パルスを図8(b)のようにチップ周期 T_c の間隔で並べて加算して生成した図8(c)のようなものとなる。この受信信号がAD変換器506、507によって図9(d)のようなタイミング(このサンプリングタイミングが理想である。)でサンプリングされた場合、この受信信号を最も効率よくデジタル回路に取り込むためには、図9(e)のようなタップ係数列を持つ複素波形整形フィルタを通すことが必要となる。また、受信信号が図9(f)のように理想的なタイミングから d だけずれたタイミングでサンプリングされた場合、この受信信号を最も効率よくデジタル回路に取り込むためには、図9(g)のようなタップ係数列を持つ複素波形整形フィルタを通すことが必要となる。タイミング誤差 d は、上記のコヒーレント型タイミング誤差検出回路510によって計算され、誤差信号Errの形で複素波形整形フィルタタップ係数計算器512に与えられる。複素波形整形フィルタタップ係数計算器512は、まず誤差信号Errをもとに計算したタップ係数を計算する。次に、相関器出力XI、XQの準同期検波による位相を検出し、その検出した位相誤差を打ち消すような位相補償用複素係数を計算して、上記のタップ係数に乗算し、複素タップ係数を求める。そして、計算した複素タップ係数を複素波形整形フィルタ回路508へ与える。

【0034】ここで、複素波形整形フィルタ回路508に図11または図12の構成をとるときには、複素波形整形フィルタ回路508内の全ての複素タップ係数可変

15

複素波形整形フィルタに同じ複素タップ係数が与えられる。複素波形整形フィルタ回路508が図13の構成をとるときには、複素波形整形フィルタ回路508内の全ての複素タップ係数可変複素波形整形フィルタのうち、Early用フィルタ607には、Demod用フィルタ609に与える複素タップ係数よりも δ だけ早い形の複素タップ係数を与え、Late用フィルタ608には、Demod用フィルタ609に与える複素タップ係数よりも δ だけ遅い形の複素タップ係数を与える。

【0035】このように、上記実施の形態2によれば、AD変換器を含む全てのデジタル回路を動作させるシステムクロックが、受信信号とは非同期の自走クロックで十分となり、電圧制御クロック発振器とその制御電圧を発生するDA変換器が不要となるため、装置中のアナログ素子を削減することができる。また、相関器の前で位相補償を行うため、タイミング誤差検出回路において自乗器を用いる必要がなくなり、タイミング誤差検出回路の特性が良くなる。さらに、符号判定器の前の位相補償回路が不要となるので、ハードウェア規模を削減することができる。

【0036】(実施の形態3) 図16は本発明の請求項3に対応する第3の実施の形態におけるスペクトル拡散受信機の構成を示すものである。図16において、800は受信アンテナ、801は準同期検波回路である。802、803はミキサ、804は $\pi/2$ 位相器、805は準同期検波用局部発振器である。ミキサ802、803の出力は、それぞれベースバンド信号のI成分とQ成分であり、それぞれ個別のAD変換器(アナログ・デジタル変換器)806、807に接続されている。AD変換器806、807以降の回路は、全てデジタル回路により実現され、またRAKE合成するパス数と同数だけ設けられる。AD変換器806、807の出力デジタル信号は、数ビットのバスであり、段数可変シフトレジスタ808、809、810、811、812、813を介して波形整形フィルタ回路814、815、816に入力される。波形整形フィルタ回路814、815、816の出力DI、DQは、相関器817、818、819に入力され、相関器817、818、819の出力XI、XQは、位相補償回路820、821、822に入力され、位相補償回路820、821、822の出力YI、YQは、加算器823、824に入力され、その出力は符号判定器825に入力される。また、波形整形フィルタ回路814、815、816の出力EI、LI、EQ、LQは、タイミング誤差検出回路826、827、828に入力され、タイミング誤差検出回路826、827、828の出力Errは、波形整形フィルタタップ係数計算器829、830、831に入力され、波形整形フィルタタップ係数計算器829、830、831からは、波形整形フィルタ回路814、815、816へタップ係数の設定情報が与えられる。

16

【0037】ここで、波形整形フィルタ回路814、815、816は、図2、図3、図4、図5のいずれの構成でもよい。また、タイミング誤差検出回路826、827、828の構成は図6に示すものと同じであり、相関器817、818、819の構成は図7に示すものと同じである。

【0038】次に、本実施の形態3における動作について説明する。まず受信アンテナ800から受信された信号は、ミキサ802、803、 $\pi/2$ 位相器804、準同期検波用局部発振器805から構成される準同期検波回路801により準同期検波され、ベースバンド信号のI成分とQ成分となり、それぞれ個別のAD変換器806、807によってサンプリングされ、デジタルデータRI、RQに変換される。ここで、このAD変換器806、807以降の回路は、全て受信信号のチップ周波数に対して1倍から4倍程度の周波数で、受信信号のチップ位相に対して位相が非同期である自走クロックに従って動作する。このため、AD変換器806、807の入力データは、図9(f)に示すように、理想的なタイミング図9(d)からずれてサンプリングされ、RI、RQとなる。波形整形フィルタ回路814、815、816中の復調用タップ係数可変波形整形フィルタのタップ係数は、図9(g)に示すように、サンプリングタイミングがずれた信号RI、RQが入力されたときに最も大きな出力を得るように設定されている。このタイミング誤差は、後述するタイミング誤差検出回路826、827、828によって計算される。また、復調しようとするパスのタイミングは、数チップの差があるが、段数可変シフトレジスタ808~813によってこのタイミング差をほぼなくすようにし、精密なタイミング調整は、波形整形フィルタ回路814、815、816によって行うようにする。

【0039】波形整形フィルタ回路814、815、816の出力は、相関器817、818、819の内部において拡散符号と乗算されて1シンボル周期積分され、相関器出力XI、XQとなる。位相補償回路820、821、822は、相関器出力XI、XQの準同期検波による位相誤差を検出し、その検出した位相誤差を打ち消すような位相補償演算をXI、XQに施し、出力YI、YQを与える。加算器823、824は、RAKE合成するパスの数だけある出力YI、YQをI、Q個別に合成する。符号判定器825は、加算器823、824の出力のそれぞれの正負を判別し、符号判定出力SI、SQを与える。ここで、XI、XQ、YI、YQ、SI、SQは、1シンボルに1サンプルの信号である。

【0040】次に、図6および図7を参照しながらタイミング誤差検出回路826、827、828の動作について説明する。タイミング誤差検出回路826、827、828中のEarly拡散符号発生器302およびLate拡散符号発生器307は、復調用の相関器817、81

17

8、819中の拡散符号発生器401が発生するものと同一の拡散符号を発生する。波形整形フィルタ回路814、815、816に図2の構成を用いる場合には、Early拡散符号発生器302が発生する拡散符号のタイミングは、復調用の相関器817、818、819中の拡散符号発生器401が発生する拡散符号のタイミングよりもある一定の時間 δ だけ早くし、Late拡散符号発生器307が発生する拡散符号のタイミングは、復調用の相関器817、818、819中の拡散符号発生器401が発生する拡散符号のタイミングよりもある一定の時間 δ だけ遅くする。波形整形フィルタ回路814、815、816に図3または図4の構成を用いる場合には、Early拡散符号発生器302およびLate拡散符号発生器307が発生する拡散符号のタイミングは、復調用の相関器817、818、819中の拡散符号発生器401が発生する拡散符号のタイミングと同一にする。

【0041】以上のように設定することにより、AD変換器806、807のサンプリングタイミングが理想サンプリングタイミングより遅い場合は、Early枝相関器300の出力の振幅が大きくなり、AD変換器806、807のサンプリングタイミングが理想サンプリングタイミングより早い場合は、Late枝相関器301の出力の振幅が大きくなる。次に、Early枝相関器300およびLate枝相関器301の出力の電力をEarly枝電力測定器312およびLate枝電力測定器313によって計算し、減算器321によって差をとり、タイミング誤差検出回路826、827、828の出力Errを得る。以上のような構成により、AD変換器806、807のサンプリングタイミングが理想サンプリングより遅い場合は、Errが負の値をとり、AD変換器806、807のサンプリングタイミングが理想サンプリングより早い場合は、Errが正の値をとる。

【0042】次に、波形整形フィルタ回路814、815、816における波形整形フィルタのタップ係数の設定方法について説明する。準同期検波されてベースバンド信号に変換された受信信号は、図8(a)に示すルートナイキスト単一パルスを図8(b)のようにチップ周期 T_c の間隔で並べて加算して生成した図8(c)のようなものとなる。この受信信号がAD変換器106、107によって図9(d)のようなタイミング(このサンプリングタイミングが理想である。)でサンプリングされた場合、この受信信号を最も効率よくデジタル回路に取り込むためには、図9(e)のようなタップ係数列を持つ波形整形フィルタを通すことが必要となる。また、受信信号が図9(f)のように理想的なタイミングから d だけずれたタイミングでサンプリングされた場合、この受信信号を最も効率よくデジタル回路に取り込むためには、図9(g)のようなタップ係数列を持つ波形整形フィルタを通すことが必要となる。タイミング誤差 d は、上記のタイミング誤差検出回路826、82

18

7、828によって計算され、誤差信号Errの形で波形整形フィルタタップ係数計算器829、830、831に与えられる。波形整形フィルタタップ係数計算器829、830、831は、誤差信号Errをもとに計算したタップ係数を波形整形フィルタ回路814、815、816へ与える。

【0043】ここで、波形整形フィルタ回路814、815、816に図2または図3の構成をとるときには、波形整形フィルタ回路814、815、816内の全てのタップ係数可変波形整形フィルタに同じタップ係数が与えられる。波形整形フィルタ回路814、815、816が図4の構成をとるときには、波形整形フィルタ回路814、815、816内の全てのタップ係数可変波形整形フィルタのうち、EI、EQ用フィルタ209、212には、DI、DQ用フィルタ211、214に与えるタップ係数よりも δ だけ早い形のタップ係数を与え、LI、LQ用フィルタ210、213には、DI、DQ用フィルタ211、214に与えるタップ係数よりも δ だけ遅い形のタップ係数を与える。

【0044】このように、上記実施の形態3によれば、AD変換器を含む全てのデジタル回路を動作させるシステムクロックが、受信信号とは非同期の自走クロックで十分となり、電圧制御クロック発振器とそれの制御電圧を発生するDA変換器が不要となるため、装置中のアナログ素子を削減することができる。また、メインバストラッキング方式においてAD変換器のサンプリング周波数を高くしたり、独立トラッキング方式において各バス毎に独立のシステムクロックを設けたりすることなしに、全てのバスの信号を最適サンプリングタイミングでサンプルした値を得ることができ、消費電流やハードウェア規模を増大させることなく、高い通信品質を保つことができる。

【0045】(実施の形態4)図17は本発明の請求項4に対応する第4の実施の形態におけるスペクトル拡散受信機の構成を示すものである。図17において、900は受信アンテナ、901は準同期検波回路である。902、903はミキサ、904は $\pi/2$ 位相器、905は準同期検波用局部発振器である。ミキサ902、903の出力は、それぞれベースバンド信号のI成分とQ成分であり、それぞれ個別のAD変換器(アナログ・デジタル変換器)906、907に接続されている。AD変換器906、907以降の回路は、全てデジタル回路により実現され、またRAKE合成するパス数と同数設けられる。AD変換器906、907の出力デジタル信号は、数ビットのバスであり、段数可変シフトレジスタ908、909、910、911、912、913を介して複素波形整形フィルタ回路914、915、916に入力される。複素波形整形フィルタ回路914、915、916の出力DI、DQは、相関器917、918、919に入力され、相関器917、918、91

19

9の出力XI、XQは、加算器920、921に入力され、その出力は符号判定器922に入力される。また、符号判定器922の出力SI、SQは、コヒーレント型タイミング誤差検出回路923、924、925に入力される。複素波形整形フィルタ回路914、915、916の出力EI、EQは、コヒーレント型タイミング誤差検出回路923、924、925に入力され、コヒーレント型タイミング誤差検出回路923、924、925の出力Errは、複素波形整形フィルタタップ係数計算器926、927、928に入力され、複素波形整形フィルタタップ係数計算器926、927、928からは、複素波形整形フィルタ回路914、915、916へタップ係数の設定情報が与えられる。

【0046】ここで、複素波形整形フィルタ回路914、915、916は、図11、図12、図13、図14のいずれの構成でもよい。また、コヒーレント型タイミング誤差検出回路923、924、925の構成は図15に示すものと同じであり、相関器917、918、919の構成は図7に示すものと同じである。

【0047】次に、本実施の形態4における動作について説明する。まず、受信アンテナ900から受信された信号は、ミキサ902、903、 $\pi/2$ 位相器904、準同期検波用局部発振器905から構成される準同期検波回路901により準同期検波され、ベースバンド信号のI成分とQ成分となり、それぞれ個別のAD変換器906、907によってサンプリングされ、デジタルデータRI、RQに変換される。ここで、このAD変換器906、907以降の回路は、全て受信信号のチップ周波数に対して1倍から4倍程度の周波数で、受信信号のチップ位相に対して位相が非同期である自走クロックに従って動作する。このため、AD変換器906、907の入力データは、図9(f)に示すように、理想的なタイミングからずれてサンプリングされ、RI、RQとなる。複素複素波形整形フィルタ回路914、915、916中の復調用のタップ係数可変複素波形整形フィルタのタップ係数は、図9(g)に示すように、ダンプリングタイミングがずれた信号RI、RQが入力されたときに最も大きな出力を得るように設定されている。このタイミング誤差は、後述するコヒーレント型タイミング誤差検出回路923、924、925によって計算される。また、復調しようとするパスのタイミングは、数チップの差があるが、段数可変シフトレジスタ908~913によってこのタイミング差をほぼなくすようにし、精密なタイミング調整は、複素波形整形フィルタ回路914、915、916によって行うようにする。

【0048】複素波形整形フィルタ回路914、915、916の出力は、相関器917、918、919の内部において拡散符号と乗算されて1シンボル周期積分され、相関器出力XI、XQとなる。加算器920、921は、RAKE合成するパスの数だけある出力XI、

20

XQをI、Q個別に合成する。符号判定器922は、加算器920、921の出力のそれぞれの正負を判別し、符号判定出力SI、SQを与える。ここで、XI、XQ、SI、SQは、1シンボルに1サンプルの信号である。

【0049】次に、コヒーレント型タイミング誤差検出回路923、924、925の動作について図15を参照して説明する。コヒーレント型タイミング誤差検出回路923、924、925中のEarly拡散符号発生器702およびLate拡散符号発生器707は、復調用の相関器917、918、919中の拡散符号発生器401が発生するものと同一の拡散符号を発生する。複素波形整形フィルタ回路914、915、916に図11の構成を用いる場合には、Early拡散符号発生器702が発生する拡散符号のタイミングは、復調用の相関器917、918、919中の拡散符号発生器401が発生する拡散符号のタイミングよりもある一定の時間 δ だけ早くし、Late拡散符号発生器707が発生する拡散符号のタイミングは、復調用の相関器917、918、919中の拡散符号発生器401が発生する拡散符号のタイミングよりもある一定の時間 δ だけ遅くする。複素波形整形フィルタ回路914、915、916に図12または図13の構成を用いる場合には、Early拡散符号発生器702およびLate拡散符号発生器707が発生する拡散符号のタイミングは、復調用の相関器917、918、919中の拡散符号発生器401が発生する拡散符号のタイミングと同一にする。

【0050】以上のように設定することにより、AD変換器906、907のサンプリングタイミングが理想サンプリングタイミングより遅い場合は、Early枝相関器700の出力の振幅が大きくなり、AD変換器906、907のサンプリングタイミングが理想サンプリングタイミングより早い場合は、Late枝相関器701の出力の振幅が大きくなる。次に、Early枝相関器700およびLate枝相関器701の出力の電力をEarly枝電力測定器712およびLate枝電力測定器713によって計算し、減算器721によって差をとり、コヒーレント型タイミング誤差検出回路923、924、925の出力Errを得る。

【0051】実施の形態3に示したタイミング誤差検出回路826、827、828中のEarly枝電力測定器712およびLate枝電力測定器713は、電力測定のために入力信号の位相を一定方向にまとめる手段として自乗器を用いているが、自乗操作は信号対雑音比を悪くしてしまうので、タイミング誤差検出回路826、827、828の性能は比較的良くない。これに対し、コヒーレント型タイミング誤差検出回路923、924、925中のEarly枝電力測定器712およびLate枝電力測定器713は、自乗器の代わりに符号判定出力との乗算を行うための乗算器714、715、718、719を備え

ている。複素波形整形フィルタ回路914、915、916の出力EI、LI、EQ、LQは、すでに位相補償が施されており、さらに符号判定器922の出力を乗算することにより、Early枝電力測定器712およびLate枝電力測定器713の出力信号の位相を一定方向に揃えることができる。また、自乗操作を用いていないので、信号対雑音比の劣化がなく、良好な特性を持つ。以上のような構成により、AD変換器906、907のサンプリングタイミングが理想サンプリングより遅い場合は、Errが負の値をとり、AD変換器906、907のサンプリングタイミングが理想サンプリングより早い場合は、Errが正の値をとる。

【0052】次に、複素波形整形フィルタ回路914、915、916における複素波形整形フィルタのタップ係数の設定方法について説明する。準同期検波されてベースバンド信号に変換された受信信号は、図8(a)に示すルートナイキスト単一パルスを図8(b)のようにチップ周期Tcの間隔で並べて加算して生成した図8

(c)のようなものとなる。この受信信号がAD変換器906、907によって図9(d)のようなタイミング(このサンプリングタイミングが理想である。)でサンプリングされた場合、この受信信号を最も効率よくデジタル回路に取り込むためには、図9(e)のようなタップ係数列を持つ複素波形整形フィルタを通すことが必要となる。また、受信信号が図9(f)のように理想的なタイミングからdだけずれたタイミングでサンプリングされた場合、この受信信号を最も効率よくデジタル回路に取り込むためには、図9(g)のようなタップ係数列を持つ複素波形整形フィルタを通すことが必要となる。タイミング誤差dは、上記のコヒーレント型タイミング誤差検出回路923、924、925によって計算され、誤差信号Errの形で複素波形整形フィルタタップ係数計算器926、927、928に与えられる。複素波形整形フィルタタップ係数計算器926、927、928は、まず誤差信号Errをもとに計算したタップ係数を計算する。次に、相関器出力XI、XQの準同期検波による位相を検出し、その検出した位相誤差を打ち消すような位相補償用複素係数を計算して、上記のタップ係数に乗算し、複素タップ係数を求める。そして、計算した複素タップ係数を複素波形整形フィルタ回路914、915、916へ与える。

【0053】ここで、複素波形整形フィルタ回路914、915、916が、図11または図12の構成をとるときには、複素波形整形フィルタ回路914、915、916内の全ての複素タップ係数可変複素波形整形フィルタに同じ複素タップ係数が与えられる。複素波形整形フィルタ回路914、915、916が図13の構成をとるときには、複素波形整形フィルタ回路914、915、916508内の全ての複素タップ係数可変複素波形整形フィルタのうち、Early用フィルタ607に

は、Demod用フィルタ609に与える複素タップ係数よりもδだけ早い形の複素タップ係数を与え、Late用フィルタ608には、Demod用フィルタ609に与える複素タップ係数よりもδだけ遅い形の複素タップ係数を与える。

【0054】このように、上記実施の形態4によれば、AD変換器を含む全てのデジタル回路を動作させるシステムクロックが、受信信号とは非同期の自走クロックで十分となり、電圧制御クロック発振器とその制御電圧を発生するDA変換器が不要となるため、装置中のアナログ素子を削減することができる。また、メインパストラッキング方式においてAD変換器のサンプリング周波数を高くしたり、独立トラッキング方式において各バス毎に独立のシステムクロックを設けたりすることなしに、全てのバスの信号を最適サンプリングタイミングでサンプルした値を得ることができ、消費電流やハードウェア規模を増大させることなく、高い通信品質を保つことができる。さらに、相関器の前で位相補償を行うため、タイミング誤差検出回路において自乗器を用いる必要がなくなり、タイミング誤差検出回路の特性が良くなる。さらに、符号判定器の前の位相補償回路が不要となるので、ハードウェア規模を削減することができる。

【0055】

【発明の効果】本発明は、上記実施の形態から明らかなように、AD変換器を含む全てのデジタル回路を動作させるシステムクロックが、受信信号とは非同期の自走クロックで十分となるので、電圧制御クロック発振器とその制御電圧を発生するDA変換器が不要となり、装置中のアナログ素子を削減することができる。また、メインパストラッキング方式においてAD変換器のサンプリング周波数を高くしたり、独立トラッキング方式において各バス毎に独立のシステムクロックを設けたりすることなしに、全てのバスの信号を最適サンプリングタイミングでサンプルした値を得ることができ、消費電流やハードウェア規模を増大させることなく、高い通信品質を保つことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1におけるスペクトル拡散受信機の構成を示すブロック図

【図2】本発明の実施の形態1および3における波形整形フィルタ回路の構成を示すブロック図

【図3】本発明の実施の形態1および3における波形整形フィルタ回路の別の構成を示すブロック図

【図4】本発明の実施の形態1および3における波形整形フィルタ回路のさらに別の構成を示すブロック図

【図5】本発明の実施の形態1および3における波形整形フィルタ回路のさらに別の構成を示すブロック図

【図6】本発明の実施の形態1および3におけるタイミング誤差検出回路の構成を示すブロック図

【図7】本発明の各実施の形態における相関器の構成を

示すブロック図

【図8】(a) 本発明の各実施の形態におけるルートナイキスト単一パルスの波形図

(b) (a) のルートナイキスト単一パルスをチップ周期 T_c の間隔で並べた波形図

(c) (b) の波形を加算した受信ベースバンド信号の波形図

【図9】(d) 理想的なタイミングでサンプリングされたルートナイキスト単一パルスの波形図

(e) 理想的なタイミングでサンプリングされたルートナイキスト単一パルスの波形に整合する波形整形フィルタのタップ係数を示す特性図

(f) 誤差のあるタイミングでサンプリングされたルートナイキスト単一パルスの波形図

(g) 誤差のあるタイミングでサンプリングされたルートナイキスト単一パルスの波形に整合する波形整形フィルタのタップ係数を示す特性図

【図10】本発明の実施の形態2におけるスペクトル拡散受信機の構成を示すブロック図

【図11】本発明の実施の形態2および4における複素波形整形フィルタ回路の構成を示すブロック図

【図12】本発明の実施の形態2および4における複素波形整形フィルタ回路の別の構成を示すブロック図

【図13】本発明の実施の形態2および4における複素波形整形フィルタ回路のさらに別の構成を示すブロック図

【図14】本発明の実施の形態2および4における複素波形整形フィルタ回路のさらに別の構成を示すブロック図

【図15】本発明の実施の形態2および4におけるコヒーレント型タイミング誤差検出回路の構成を示すブロック図

【図16】本発明の実施の形態3におけるスペクトル拡

散受信機の構成を示すブロック図

【図17】本発明の実施の形態4におけるスペクトル拡散受信機の構成を示すブロック図

【図18】従来例におけるスペクトル拡散受信機の構成を示すブロック図

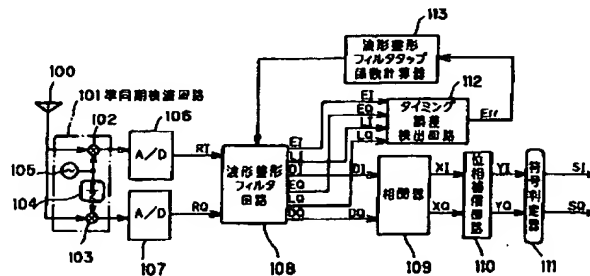
【図19】従来例におけるスペクトル拡散受信機の別の構成を示すブロック図

【図20】従来例におけるスペクトル拡散受信機のさらに別の構成を示すブロック図

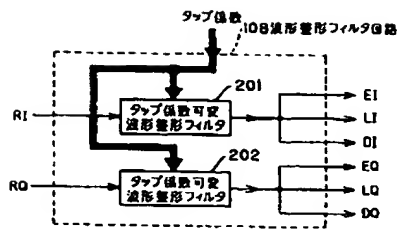
【符号の説明】

101、501、801、901	準同期検波回路
106、107、506、507、806、807、906、907	AD変換器
108、814、815、816	波形整形フィルタ回路
508、914、915、916	複素波形整形フィルタ回路
109、509、817、818、819、917、918、919	相関器
110、820、821、822	位相補償回路
111、511、825、922	符号判定器
112、826、827、828	タイミング誤差検出回路
510、923、924、925	コヒーレント型タイミング誤差検出回路
113、829、830、831	波形整形フィルタタップ係数計算器
512、926、927、928	複素波形整形フィルタタップ係数計算器
808、809、810、811、812、813、908、909、910、911、912、913	シフトレジスタ
823、824、920、921	加算器

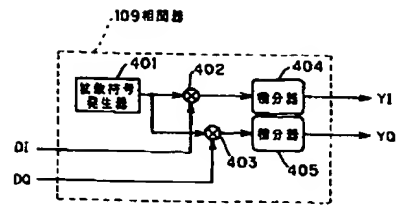
【図1】



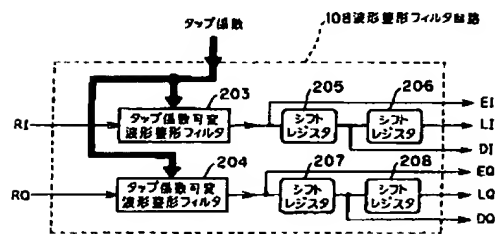
【図2】



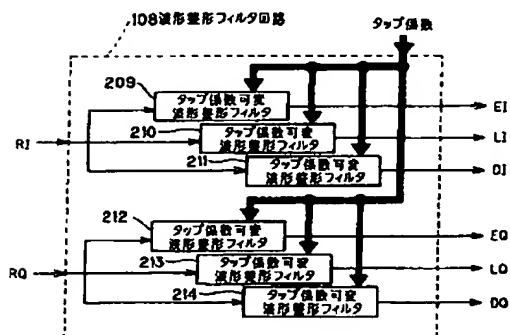
【図7】



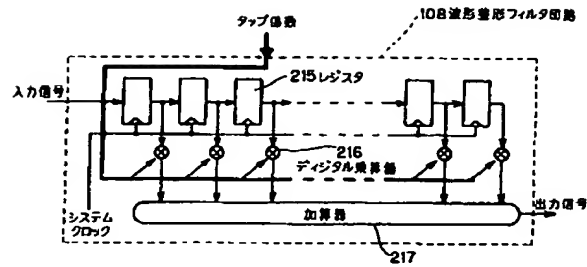
【図3】



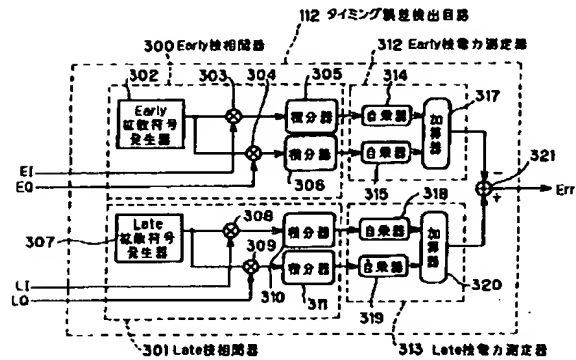
【図4】



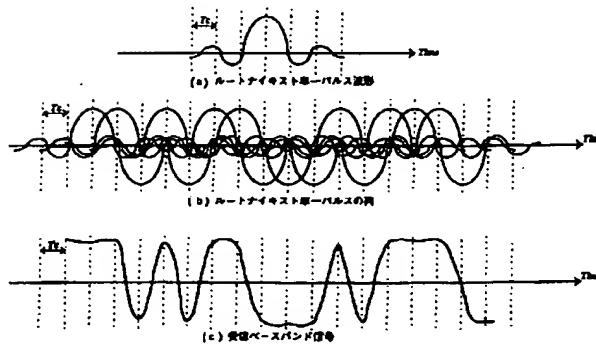
【図5】



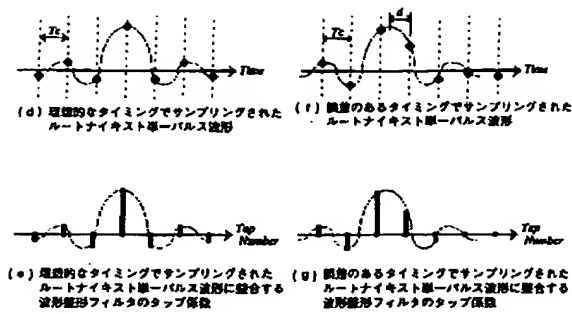
【図6】



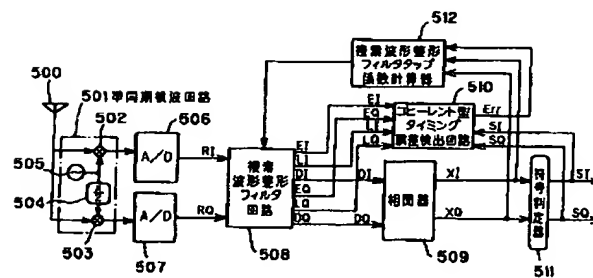
【図8】



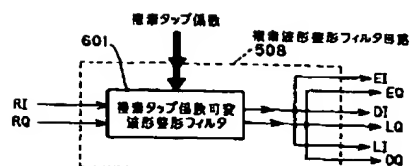
【図9】



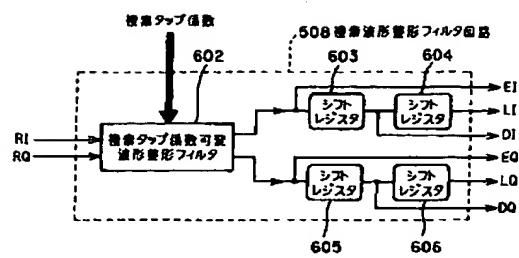
【図10】



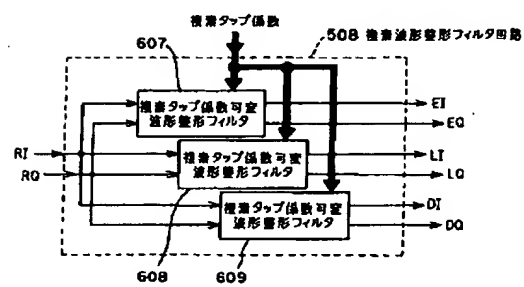
【図11】



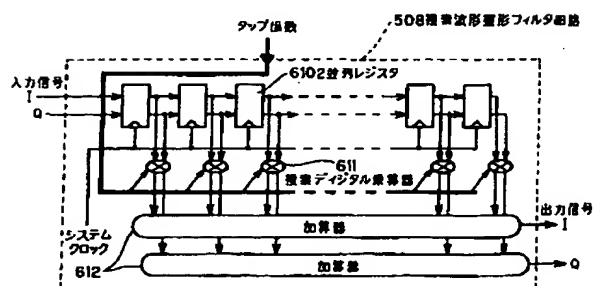
【図12】



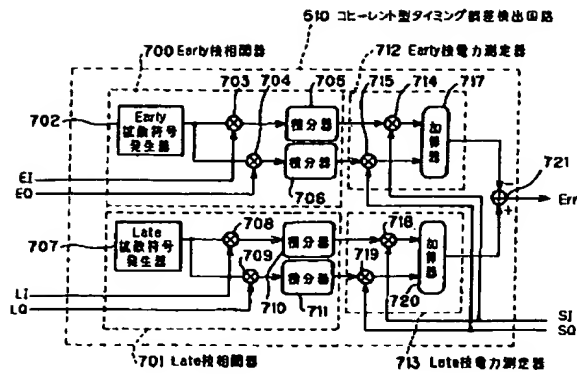
【図13】



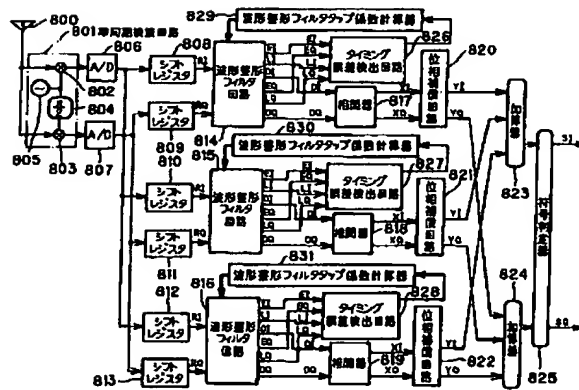
【図14】



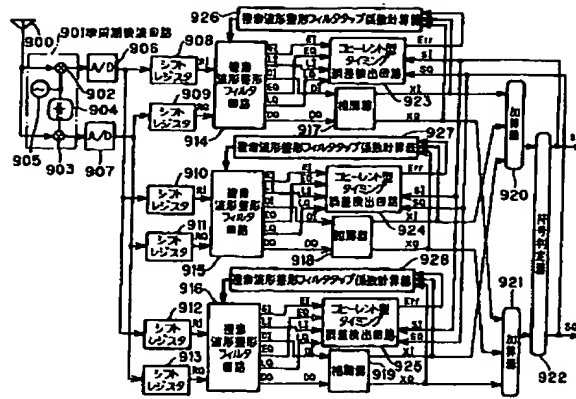
【図15】



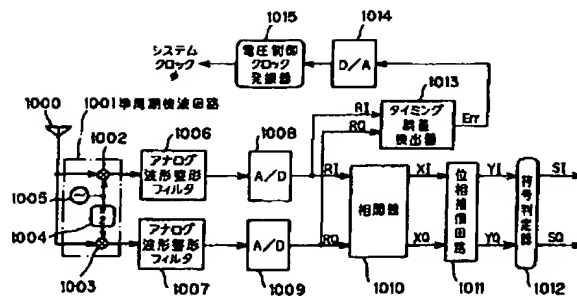
【図16】



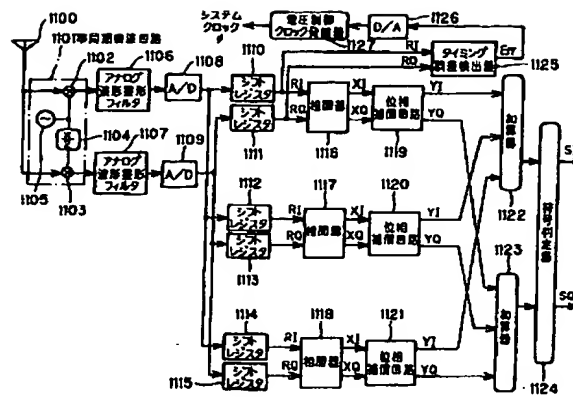
【図17】



【図18】



【図19】



【図20】

